

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-296329

(43)Date of publication of application : 06.12.1990

(51)Int.Cl.

H01L 21/3205

(21)Application number : 01-117092

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.05.1989

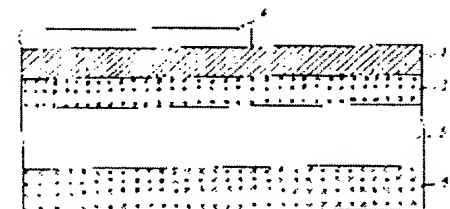
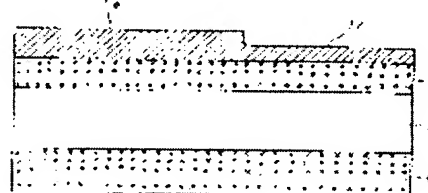
(72)Inventor : FUKUDA HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce resistance and inductance by changing the film thickness of an arbitrary wiring.

CONSTITUTION: After impurity is implanted in a semiconductor substrate 4, an arbitrary insulating film, a gate and a wiring 5 are deposited; further thereon an interlayer insulating film 3 is deposited; wiring material 1a is deposited on the whole surface of the film 3 so as to be thicker than the usual case. At a wiring part where the desired film thickness is large, resist 6 is formed and etching is performed, thereby forming two kinds of wiring whose film thickness is different in spite of the same layer wiring part. Thus the film thickness of wiring in the same layer can be changed, so that the film thickness of wiring part where large current flows is thickened. Hence resistance and inductance can be reduced, and area also can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

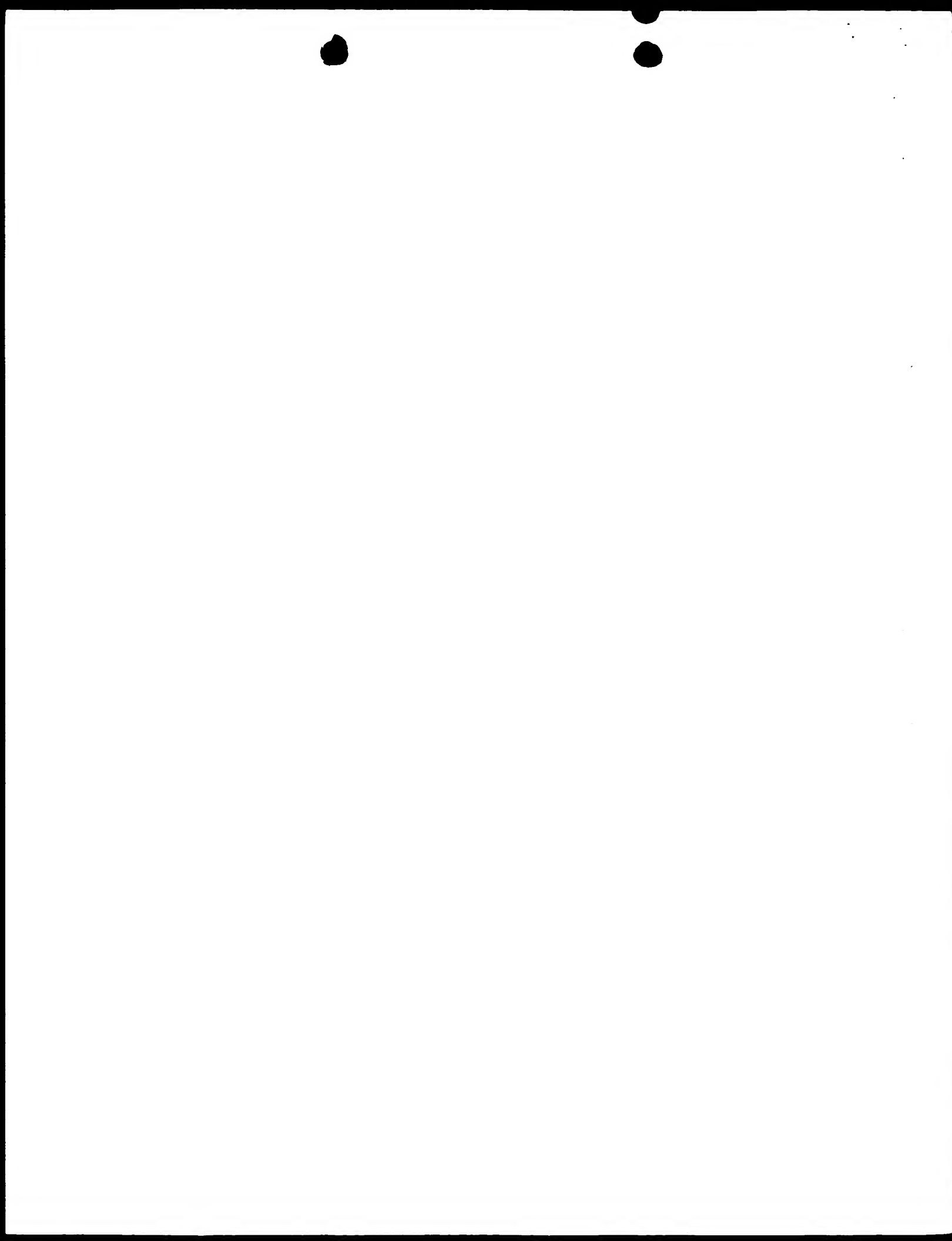
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-296329

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月6日

H 01 L 21/3205

6810-5F H 01 L 21/88

A

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-117092

⑰ 出 願 平1(1989)5月10日

⑱ 発 明 者 福 田 浩 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体装置の製造方法において、任意の配線の膜厚を変えらるゝことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置の製造方法に関するものである。

〔従来の技術〕

第2図は従来の半導体装置の断面図で、図において、(1)は大面積を要する配線、(2)は微細な配線、(3)は層間絶縁膜、(4)は半導体基板、(5)は任意の絶縁膜ゲート、及び配線を示している。従来の半導体装置は半導体基板(4)に不純物注入後、絶縁膜、ゲート及び配線(5)を堆積させ、コンタクト及びスルーホールを施したものである。

さらに、絶縁膜、ゲート及び配線(5)の上に層間絶縁膜(3)を堆積し、その上に配線材料に相当する

ものを堆積させ、フォトリソグラフィ及びエッチングによつて配線(1)及び(2)を形成する。

〔発明が解決しようとする課題〕

従来の半導体装置は以上のように構成されていたので、同一層の配線の膜厚は同一にしなければならず、電源などの大電流が流れる配線部分と、信号線となる微細配線部膜厚の制御をしなかつた。その為、電源などの大電流が流れる配線部分は低抵抗、インダクタンスを抑えるため2次元的に大面積を要するという問題点を有していた。

この発明は上記のような問題点を解決するためになされたもので、従来大面積を必要としていた電源部などの大電流が流れる配線を小面積で、かつ低抵抗、低インダクタンス化が可能とする半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は同一層の配線で、特に膜厚を厚くしたい部分にレジストを塗布し、マスクしその他の微細配線をエッチングすることによつて、所望の配線の膜厚が厚くできるように

したものである。

〔作用〕

この発明における半導体装置は、同一層の配線を所望の配線部にレジストを塗布してマスクしエッチングすることで、膜厚の違う同一配線層を形成しその後、通常のパターン形成のためソリッドフイーとエッチング処理により、膜厚の違う配線を形成する。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例である半導体装置の製造工程を示す断面図で、第1図(a)は半導体基板(4)に不純物を入浴、任意の絶縁膜、ゲート及び配線(5)を堆積、コンタクト及びスルーホールを形成し、さらにその上に層間絶縁膜(3)を堆積させ、その上に配線材料に相当するものを全面に通常より厚く堆積する。

その後第1図(b)に示すように、所望の膜厚を厚くすべき配線部分にレジストを塗布し、パターンを転写し、マスクとなるレジスト(6)を形成する。

(3)

4. 図面の簡単な説明

第1図(a)～(e)はこの発明の一実施例である半導体装置の製造工程を示す断面図、第2図は従来の半導体装置の断面図である。

図において、(3)は層間絶縁膜、(4)は半導体基板、(5)は任意の絶縁膜ゲート、配線、(1a)は通常より厚く堆積させた配線、(1b)、(1c)はエッチングにより膜厚を変えた配線、(1d)、(1e)は大面積配線部と微細配線部、(6)、(7)はレジストである。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

そしてエッチングを施すことによつて第1図(c)に示すように、同一層配線部でも膜厚の違う(1b)と(1c)が形成される。

さらに、それぞれの配線のパターンを形成するために第1図(d)に示すように、フォトリソグラフィー及びエッチング工程後、第1図(e)のような同一層で膜厚の違う2種類の配線が形成される。

なお、上記実施例では最上層の配線の場合について述べたが、多層配線の間層における配線であつてもよく、上記実施例と同様の効果を奏する。

また、上記実施例では1回のレジストのマスクによつて2種類の膜厚の違う同一層配線を形成したが、これは数回のレジストのマスクによつて数種類の膜厚の違う同一層配線を形成してもよく、同様の効果を奏する。

〔発明の効果〕

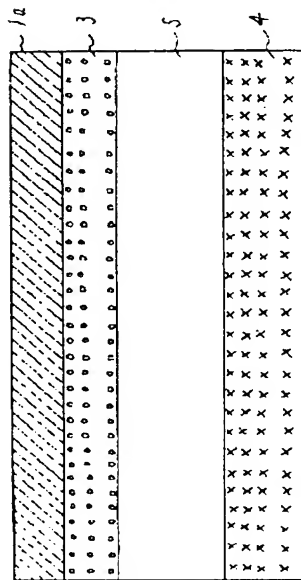
以上のようにこの発明によれば、同一層の配線の膜厚を変えることが出来るので、大電流が流れる配線部分の膜厚を厚くし、低抵抗、低インダクタンス化でき、さらには低面積化もできる。

(4)

(5)

第 1 図 (4a)

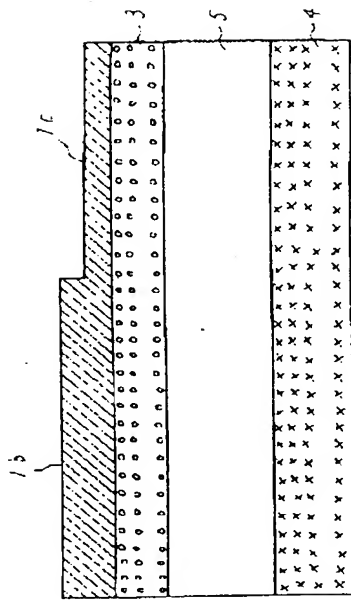
(a)



- 3: 層間絶縁膜
- 4: 半導体基板
- 5: 絶縁膜・ゲート配線

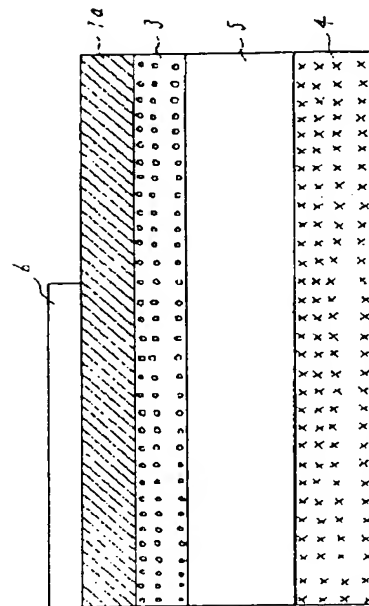
第 1 図 (4b)

(c)



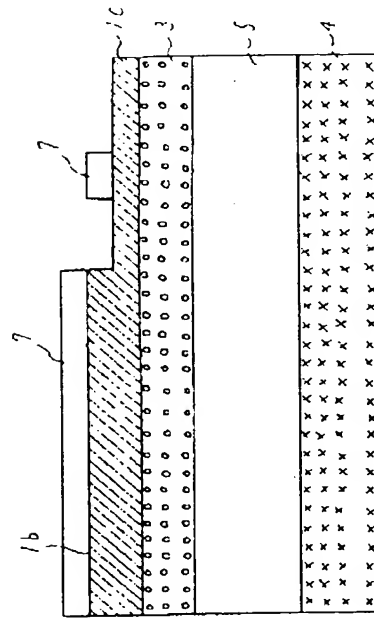
- 1b, 1c: 配線

(b)



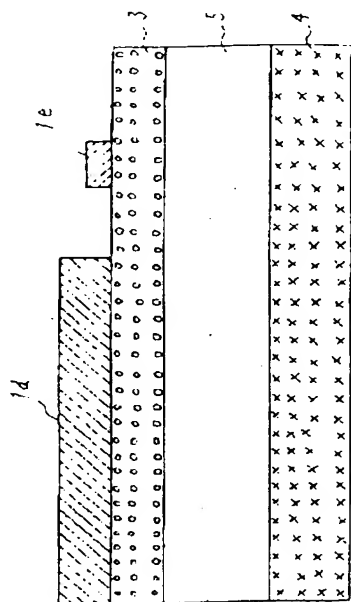
- 6: レジスト

(d)



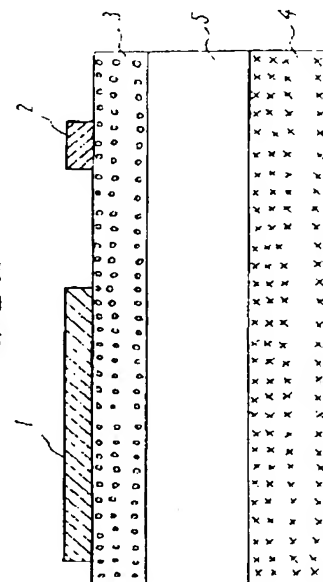
- 7: レジスト

第 1 図 (c)



1d, 1e 配線

第 2 図



手続補正書(自発)

平成 1 年 7 月 31 日

特許庁長官殿

1. 事件の表示 特願 平 1-117092 号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁護士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄、及び図面の簡単な説明の欄。

6. 補正の内容

(1) 明細書の第 1 頁第 14 行から第 15 に「(5)は任意の絶縁膜ゲート、及び配線を示している。」とあるのを「(5)は任意の絶縁膜、ゲート、及び配線を示している。」に訂正する。

(2) 明細書の第 5 頁第 6 行に「(5)は任意の絶縁膜ゲート、配線、」とあるのを「(5)は任意の絶縁膜、ゲート、配線、」に訂正する。

以 上

方式
審査

特許

特許庁
1. 8. 1
止 願 評
新 井

(1)

(2)